

11/16/01

LAW OFFICES OF

JACOBSON HOLMAN

PROFESSIONAL LIMITED LIABILITY COMPANY

400 SEVENTH STREET, N. W.

WASHINGTON, D. C. 20004

(202) 638-6666

November 16, 2001

JACOBSON HOLMAN STERN

OF COUNSEL

MARVIN R. STERN

NATHANIEL A. HUMPHRIES

TELEFAX:

(202) 393-6350

(202) 393-6351

(202) 393-6352

E-MAIL: IP@JHIP.COM
INTERNET: WWW.JHIP.COM

*BAR OTHER THAN D.C.

Atty. Docket No.: P67230US

CUSTOMER NUMBER: 00136

Jc879 U.S. 09/987875 11/16/01

Commissioner for Patents
Washington, D.C. 20231

Sir:

Transmitted herewith for filing is the patent application of **Makoto WAKAMATSU and Jun WATANABE** for **DIGITAL FILTER**. The application comprises a 45-page specification, including 13 claims (4 independent) and Abstract, 11 sheets of drawings, and a Declaration and Power of Attorney (3 sheets in total).

Accompanying the application for filing is:

A certified copy of **Japanese** Application No. 2000-350993, filed **November 17, 2000**, the priority of which is claimed under 35 U.S.C. §119;

A certified copy of **Japanese** Application No. 2001-266098, filed **September 3, 2001**, the priority of which is claimed under 35 U.S.C. §119; and

Assignment document, cover letter and **\$40.00** fee for recordation of Assignment.

The filing fee has been calculated as shown:


Basic Fee for Large Entity:	\$ 740.00
Total Claims 13 - in excess of 20 = 0 (x \$18.00=)	.00
Total Ind. Claims 4 - in excess of 3 = 1 (x \$84.00=)	84.00
	+
TOTAL FILING FEE	\$ 824.00

Check No. 55558, in the amount of \$864.00 is enclosed to cover the Filing Fee and fee for recordation of Assignment. The Commissioner is hereby authorized to charge payment of any fees set forth in §§1.16 or 1.17 during the pendency of this application, or credit any overpayment, to Deposit Account No. 06-1358. A duplicate copy of this sheet is enclosed.

Respectfully submitted,

JACOBSON HOLMAN PLLC

By


John C. Holman
Reg. No. 22,769

cmf

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc879 U.S. PTO
09/987875
11/16/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2000年11月17日

出 願 番 号
Application Number:

特願2000-350993

出 願 人
Applicant(s):

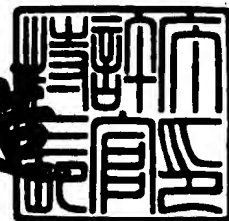
株式会社日立国際電気

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 6月20日

特許庁長官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3058472

【書類名】 特許願
【整理番号】 2000444FT
【あて先】 特許庁長官殿
【国際特許分類】 H03H 17/00
H04B 1/69

【発明者】

【住所又は居所】 東京都中野区東中野三丁目 1 4 番 2 0 号 株式会社日立
国際電気内

【氏名】 若松 誠

【発明者】

【住所又は居所】 東京都中野区東中野三丁目 1 4 番 2 0 号 株式会社日立
国際電気内

【氏名】 渡邊 淳

【特許出願人】

【識別番号】 000001122

【氏名又は名称】 株式会社日立国際電気

【代理人】

【識別番号】 100093104

【弁理士】

【氏名又は名称】 船津 暢宏

【電話番号】 03-3571-1109

【選任した代理人】

【識別番号】 100092772

【弁理士】

【氏名又は名称】 阪本 清孝

【電話番号】 03-3571-1109

【手数料の表示】

【予納台帳番号】 041715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0015260

【包括委任状番号】 0015261

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デジタルフィルタ

【特許請求の範囲】

【請求項 1】 複数系列からなるデジタルデータについてフィルタリング出力を行うデジタルフィルタにおいて、

前記デジタルデータを系列毎にそれぞれ複数のデータに分割し、前記デジタルデータの入力速度を系列数倍したものの分割数倍の速度で時分割にフィルタリング演算を行い、同一のデジタルデータから分割されたデータのフィルタリング出力結果に対して合成処理を行い、合成処理結果に基づいて系列別に前記デジタルデータのフィルタリング出力を得ることを特徴とするデジタルフィルタ。

【請求項 2】 1 種類の拡散符号でスペクトラム拡散変調された同相成分及び直交成分のアナログ信号を規定のサンプルレートでデジタル変換することで得られる同相成分及び直交成分の受信データをそれぞれ複数に分割し、分割データとして前記サンプルレートを 2 倍したものの分割数倍の速度で時分割に出力するデータ分割部と、

前記データ分割部から出力される前記分割データを格納し、格納された前記分割データを前記サンプルレートを 2 倍したものの分割数倍の速度でチップ毎に時分割に出力するデータ格納部と、

前記拡散符号と同一の逆拡散符号をチップ単位で生成し、出力する逆拡散符号生成部と、

複数の乗算器及び加算器で構成され、前記データ格納部から出力された前記分割データ及び前記逆拡散符号生成部から出力された前記逆拡散符号との積和演算を、前記サンプルレートを 2 倍したものの分割数倍の速度で時分割に行い、相関演算結果として出力する相関演算部と、

前記相関演算部から出力された分割データの相関演算結果のうち、同一の受信データを源とする分割データの相関演算結果同士を合成し、サンプルタイミング毎の前記同相成分及び直交成分の受信データの相関出力を行うデータ復元部とを有することを特徴とするマッチドフィルタ。

【請求項 3】 同相成分及び直交成分の拡散符号によりスペクトラム拡散変調された同相成分及び直交成分のアナログ信号を規定のサンプルレートでデジタル変換することで得られる同相成分及び直交成分の受信データをそれぞれ複数に分割し、分割データとして前記サンプルレートを 2 倍したものの分割数倍の速度で時分割に出力するデータ分割部と、

前記データ分割部から出力される前記分割データを格納し、格納された前記分割データを前記サンプルレートを 2 倍したものの分割数倍の速度でチップ毎に時分割に出力するデータ格納部と、

前記同相成分及び直交成分の拡散符号とそれぞれ同一である、同相成分及び直交成分の逆拡散符号をチップ単位で生成し、出力する逆拡散符号生成部と、

複数の乗算器及び加算器で構成され、前記データ格納部から出力された前記分割データ及び前記逆拡散符号生成部から出力された前記同相成分の逆拡散符号との積和演算を、前記サンプルレートを 2 倍したものの分割数倍の速度で時分割に行い、相関演算結果として出力する同相成分相関演算部と、

複数の乗算器及び加算器で構成され、前記データ格納部から出力された前記分割データ及び前記逆拡散符号生成部から出力された前記直交成分の逆拡散符号との積和演算を、前記サンプルレートを 2 倍したものの分割数倍の速度で時分割に行い、相関演算結果として出力する直交成分相関演算部と、

前記同相成分相関演算部及び前記直交成分相関演算部から出力された分割データの相関演算結果のうち、同一の受信データを源とする分割データの相関演算結果同士を合成し、前記同相成分相関演算部及び前記直交成分相関演算部による受信データの相関演算結果を出力するデータ復元部と、

前記データ復元部から出力された前記同相成分相関演算部及び前記直交成分相関演算部による受信データの相関演算結果に基づいて複素演算を行い、サンプルタイミング毎の同相成分及び直交成分の受信データの相関出力を行う複素演算部とを有することを特徴とするマッチドフィルタ。

【請求項 4】 同相成分及び直交成分の受信データをそれぞれ、上位ビットと下位ビットにビット単位で 2 分割することを特徴とする請求項 2 及び請求項 3 に記載のマッチドフィルタ。

【請求項 5】 請求項 2 乃至請求項 4 のマッチドフィルタを用い、得られたサンプルタイミング毎の同相成分及び直交成分の相関出力に基づいて、スペクトラム拡散変調された同相成分及び直交成分のアナログ信号の復調処理を行うことを特徴とする CDMA 通信用受信機。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、移動体通信システムの送受信機において用いられるディジタルフィルタに係り、特に回路規模を縮小できるディジタルフィルタに関する。

【 0 0 0 2 】

【従来の技術】

次世代の移動体通信システムの通信方式である W-CDMA (Wide-band Code Division Multiple Access) 等で用いられているスペクトラム拡散通信では、受信機において受信した無線変調信号を復調するにあたり、無線変調信号と逆拡散符号との相関演算を行い、演算結果である相関出力の値に基づいて復調処理を行っている。この相関演算を行う装置としてディジタルフィルタが用いられており、例えばマッチドフィルタが一般的に用いられている。

【 0 0 0 3 】

図 9 は、従来のマッチドフィルタの構成ブロック図である。図 9 のマッチドフィルタは、複素変調されたアナログ変調信号を受信し、ディジタル変換した後、同相成分及び直交成分の相関演算を行い、各成分の相関出力を出力するものである。

また、図 9 のマッチドフィルタは、3.84Mbps の速度 (チップレート) で送信される 4 ビットデータのアナログ変調信号に対し、4 倍のサンプルレート、すなわち 15.36MHz でディジタル変換及び相関演算を行う。

【 0 0 0 4 】

受信機のアンテナ (図示せず) において受信されたアナログ変調信号は、A/D 変換器 (図示せず) で同相成分 (以下「I 相」という) 及び直交成分 (以下「Q 相」という) 毎に 15.36MHz の速度でディジタル変換され、ディジタルの受

信データとしてそれぞれ I 相データレジスタ（図 9 ではデータレジスタ 1）901、Q 相データレジスタ（図 9 ではデータレジスタ 2）902 に出力される。

【0005】

I 相データレジスタ 901 及び Q 相データレジスタ 902 にはそれぞれ、16 ビットのレジスタが 256 個設置されている。図 11 は、データレジスタにおける受信データの遷移動作について示した図である。

デジタル変換された受信データは、データレジスタに出力されると、まずレジスタ 1 の 0～3 ビット目のアドレスに格納される。

新たな受信データがレジスタ 1 に格納されると、これまでレジスタ 1 に格納されていた受信データは、図面右側のアドレスへそれぞれ 4 ビット分シフトする。すなわち 0～3 ビット目のアドレスに格納されていた受信データは 4～7 ビット目に、それ以降のアドレスに格納されている受信データも順次右側に 4 ビットずつシフトしていく。

【0006】

レジスタ 1 の 12～15 ビット目に格納されている受信データは、新たに受信データがレジスタ 1 に格納されると、次段のレジスタ 2 の 0～3 ビット目にシフトされると共に、積和演算部に出力される。

他のレジスタについても、同様の動作が行われ、受信データのシフト及び積和演算部への出力が行われる。各レジスタから出力された受信データは一つにまとめられ、 $4 \times 256 = 1024$ ビットのデータとして積和演算部に出力される。

【0007】

すなわち、各レジスタは 16 ビットのデータを格納できるため、1 チップ分の受信データを格納でき、受信データを順次シフトすることによってデータを遅延化させている。またサンプルレートで順次受信データが出力され、各レジスタの末尾 4 ビットに格納されていた受信データが積和演算部に出力されることで、チップ毎の 256 個、すなわち 1 シンボル分の受信データがサンプルタイミング毎に出力されることになる。

【0008】

Tap 係数制御部 903 は、アナログ変調信号の変調の際に用いられた拡散符

号と同一の逆拡散符号を各成分毎に1チップ分、すなわち1ビットずつチップレートで生成し、T a p 係数レジスタ904及び905の指定したアドレスに出力する。T a p 係数制御部903はI相の逆拡散符号をT a p 係数レジスタ904に、Q相の逆拡散符号をT a p 係数レジスタ905にそれぞれ出力する。

【0009】

T a p 係数レジスタ904及び905はそれぞれ256ビットのレジスタで構成されており、T a p 係数制御部903で生成、出力された逆拡散符号を指定されたアドレスに1ビットずつ順次格納する。T a p 係数レジスタ904及び905で格納された逆拡散符号はサンプルレートで積和演算部に出力される。

【0010】

またT a p 係数制御部903は、256チップ分の逆拡散符号を出力し終わると、T a p 係数レジスタ904及び905に対して格納している逆拡散符号をリセットする制御命令を出力する。よってT a p 係数レジスタ904及び905は、1シンボル相当の逆拡散符号を1シンボルの間格納していることになる。

【0011】

図10は、I相の受信データ（図10ではデータI）と、T a p 係数制御部903で生成されるI相の逆拡散符号（図10ではコードI）のタイミングチャート図である。

図10で示される通り、逆拡散符号はチップタイミング毎に生成され、受信データはサンプルタイミング毎に出力されることが分かる。尚、図10ではI相を例に示しているが、Q相についても同様のタイムチャート図となることはいうまでもない。

【0012】

I相データレジスタ901から出力された256チップのI相の受信データは積和演算部906及び908に、Q相データレジスタ902から出力された256チップのQ相の受信データは積和演算部907及び909に出力される。

積和演算部906～909は、受信データとT a p 係数レジスタに格納された逆拡散符号との積和演算を256チップ分、サンプルレートで行う。

すなわち積和演算部906ではI相の受信データ及びI相の逆拡散符号、積和

演算部 907 では Q 相の受信データ及び I 相の逆拡散符号、積和演算部 908 では I 相の受信データ及び Q 相の逆拡散符号、積和演算部 909 では Q 相の受信データ及び Q 相の逆拡散符号との積和演算、すなわち相関演算が行われることになる。

【0013】

図 12 は、積和演算部の構成ブロック図である。それぞれの積和演算部は、乗算部 1201 と加算部 1202 とから構成されている。

乗算部 1201 は 256 個の乗算器で構成され、それぞれの乗算器で各チップ毎の受信データと逆拡散符号の乗算を行っている。

【0014】

図 13 は、乗算部の構成ブロック図であり、入力箇所の数値はデータのビット数を示す。図 13 で示すように、各乗算器は 4 ビット * 1 ビットの乗算を行い、4 ビットの乗算結果を出力するものであり、全ての乗算結果は一つにまとめられ、1024 ビットのデータとして加算部 1202 に出力される。

【0015】

乗算部 1201 から出力された各チップ毎の乗算結果は、加算部 1202 に出力され、乗算結果の総和が求められる。図 14 は、加算部の構成ブロック図である。

図 14 で示されているように、加算部 1202 は加算器を階層構造に配置したことによって、乗算結果の総和を算出する構成となっている。乗算部 1201 から出力された 1024 ビットの出力データは 4 ビットずつに分割されて、1 段目の加算器群に入力される。1 段目の加算器群は、4 ビットの入力データに対して加算を行い、5 ビットのデータとして出力する加算器が 128 個配置されている。各加算器は隣接する二つのチップタイミングの乗算結果を加算し、加算結果を 2 段目の加算器群へ出力する。

【0016】

2 段目の加算器群は、5 ビットの入力データに対して加算を行い、6 ビットのデータとして出力する加算器が 64 個配置されており、隣接する 1 段目の加算器群中の 2 つの加算器から出力された加算結果同士を加算する。加算部 1202 は

以下、同様な構成の加算器群を多段配置した構成からなり、最終段（８段目）の加算器において、全ての乗算結果の総和、すなわち相関出力を算出する。最終段の加算器は１１ビットの入力データに対して加算を行い、１２ビットのデータとして出力する加算器１個で構成される。

尚、乗算部１２０１の各乗算器、加算部１２０２の各加算器は、１５．３６ＭＨｚの速度で動作する。

【００１７】

上述した積和演算処理が積和演算部９０６～９０９においてそれぞれ行われ、サンプルタイミング毎に４種類の相関出力が出力される。積和演算部９０６～９０９の相関出力は、複素演算部９１０に出力され、各成分毎の相関出力波形が復調される。

I 相、Q 相の受信データをそれぞれ D_I 、 D_Q 、I 相、Q 相の逆拡散符号をそれぞれ C_I 、 C_Q とすると、I 相と Q 相の復調受信データ T_I 、 T_Q は、下式の通りに表される。

$$T_I = D_I * C_I + D_Q * C_Q \quad \dots (1)$$

$$T_Q = D_Q * C_I - D_I * C_Q \quad \dots (2)$$

【００１８】

(１) (２) 式中の全ての項は、既に積和演算部９０６～９０９の乗算部において算出されている。よって (１) (２) 式で表される演算式を実現するため、複素演算部９０１は２個の加算器を用いて構成される。複素演算部９０１は１５．３６ＭＨｚの速度で (１) (２) 式の演算を実行することで複素演算を行っている。

【００１９】

複素演算部９０１からサンプルレートで出力される１シンボル分の各成分の相関出力に基づいてフィルタリング、すなわち最適な受信タイミングを検出することができる。この結果に基づいて、受信データの復調及びＴａｐ係数制御部９０３における逆拡散符号の生成タイミングのフィードバック処理等が行われる。

【００２０】

【発明が解決しようとする課題】

しかしながら、上記従来のデジタルフィルタでは、フィルタリング出力を行うための乗算器及び加算器が多数必要となるため、デジタルフィルタの回路規模が増大するという問題点があった。特に乗算器及び加算器は長ビット数の演算を行うため、個々の回路規模が大きくなり、デジタルフィルタの回路全体に及ぼす影響は重大である。

【 0 0 2 1 】

このような問題を解決する従来例として、平成 1 1 年 8 月 3 1 日公開の特開平 1 1 - 2 3 9 0 4 0 号「デジタルフィルタおよび通信装置」（出願人：松下電器産業株式会社、発明者：新出弘紀）が提案されている。

この従来例は、 x 倍補間機能（ x は自然数）を持つデジタルフィルタにおいて、補間前のデータを入力し、入力レートの x 倍のレートでデータを時分割で分配することで x 倍補間を行い、各分配データに係数を乗算し、それらのデータを加算することによってフィルタリング出力を得るものであり、回路規模の削減及び消費電力の低減を実現するものである。

【 0 0 2 2 】

しかし、上記従来例のデジタルフィルタでは、2 系列のデータを多重化し、それぞれの系列について時分割でデータを分配するような構成が示されているが、乗算器及び加算器の個数を減らすことによる回路規模の削減にとどまっており、回路規模を十分に削減しているとはいえない。

【 0 0 2 3 】

本発明は上記実情に鑑みて為されたもので、複数系列のデジタルデータに対してフィルタリング出力を行い、回路規模を縮小できるデジタルフィルタを提供することを目的とする。

【 0 0 2 4 】

【課題を解決するための手段】

上記従来例の問題点を解決するための本発明は、複数系列からなるデジタルデータについてフィルタリング出力を行うデジタルフィルタにおいて、デジタルデータを系列毎にそれぞれ複数のデータに分割し、デジタルデータの入力速度を系列数倍したものの分割数倍の速度で時分割にフィルタリング演算を行い

、同一のデジタルデータから分割されたデータのフィルタリング出力結果に対して合成処理を行い、合成処理結果に基づいて系列別にデジタルデータのフィルタリング出力を得るデジタルフィルタであり、デジタルフィルタの回路規模を縮小することができる。

【 0 0 2 5 】

また、本発明は、1種類の拡散符号でスペクトラム拡散変調された同相成分及び直交成分のアナログ信号を規定のサンプルレートでデジタル変換することで得られる同相成分及び直交成分の受信データをそれぞれ複数に分割し、分割データとしてサンプルレートを2倍したものの分割数倍の速度で時分割に出力するデータ分割部と、データ分割部から出力される分割データを格納し、格納された分割データを前記サンプルレートを2倍したものの分割数倍の速度でチップ毎に時分割に出力するデータ格納部と、拡散符号と同一の逆拡散符号をチップ単位で生成し、出力する逆拡散符号生成部と、複数の乗算器及び加算器で構成され、データ格納部から出力された分割データ及び逆拡散符号生成部から出力された逆拡散符号との積和演算を、前記サンプルレートを2倍したものの分割数倍の速度で時分割に行い、相関演算結果として出力する相関演算部と、相関演算部から出力された分割データの相関演算結果のうち、同一の受信データを源とする分割データの相関演算結果同士を合成し、サンプルタイミング毎の同相成分及び直交成分の受信データの相関出力を行うデータ復元部とを有するマッチドフィルタであり、1種類の拡散符号で拡散変調された同相成分及び直交成分の受信データの相関演算を行うマッチドフィルタの回路規模を縮小できる。

【 0 0 2 6 】

また、本発明は、同相成分及び直交成分の拡散符号によりスペクトラム拡散変調された同相成分及び直交成分のアナログ信号を規定のサンプルレートでデジタル変換することで得られる同相成分及び直交成分の受信データをそれぞれ複数に分割し、分割データとしてサンプルレートを2倍したものの分割数倍の速度で時分割に出力するデータ分割部と、データ分割部から出力される分割データを格納し、格納された分割データを前記サンプルレートを2倍したものの分割数倍の速度でチップ毎に時分割に出力するデータ格納部と、同相成分及び直交成分の拡

散符号とそれぞれ同一である、同相成分及び直交成分の逆拡散符号をチップ単位で生成し、出力する逆拡散符号生成部と、複数の乗算器及び加算器で構成され、データ格納部から出力された分割データ及び逆拡散符号生成部から出力された同相成分の逆拡散符号との積和演算を、サンプルレートを2倍したものの分割数倍の速度で時分割に行い、相関演算結果として出力する同相成分相関演算部と、複数の乗算器及び加算器で構成され、データ格納部から出力された分割データ及び逆拡散符号生成部から出力された前記直交成分の逆拡散符号との積和演算を、サンプルレートを2倍したものの分割数倍の速度で時分割に行い、相関演算結果として出力する直交成分相関演算部と、同相成分相関演算部及び直交成分相関演算部から出力された分割データの相関演算結果のうち、同一の受信データを源とする分割データの相関演算結果同士を合成し、同相成分相関演算部及び直交成分相関演算部による受信データの相関演算結果を出力するデータ復元部と、データ復元部から出力された同相成分相関演算部及び直交成分相関演算部による受信データの相関演算結果に基づいて複素演算を行い、サンプルタイミング毎の同相成分及び直交成分の受信データの相関出力を行う複素演算部とを有するマッチドフィルタであり、複素変調された同相成分及び直交成分の受信データの相関演算を行うマッチドフィルタの回路規模を縮小できる。

【 0 0 2 7 】

尚、本発明に係るマッチドフィルタでは、受信データを上位ビット及び下位ビットにビット単位で分割することが好適である。

【 0 0 2 8 】

また、上述したマッチドフィルタを用い、得られたサンプルタイミング毎の同相成分及び直交成分の相関出力に基づいて、スペクトラム拡散変調された同相成分及び直交成分のアナログ信号の復調処理を行うことを特徴とするCDMA通信用受信機であり、CDMA通信用受信機の回路規模を縮小できる。

【 0 0 2 9 】

【発明の実施の形態】

本発明の実施の形態について図面を参照しながら説明する。

本発明の実施の形態に係るデジタルフィルタは、スペクトラム拡散変調され

た同相成分及び直交成分のアナログ信号に対して規定のサンプルレートでデジタル変換した同相成分及び直交成分の受信データをそれぞれビット単位で複数のデータ単位に分割し、分割した各成分の受信データと逆拡散符号の積和演算をサンプルレートを2倍したものの分割数の速度で時分割で行い、得られた積和演算結果のうち分割されたもの同士を合成して各成分毎にサンプルタイミング毎の積和演算結果として出力するものであり、これにより積和演算部分で扱う受信データのビット数を低減できるため積和演算部分の回路規模を縮小でき、ディジタルフィルタ全体の回路規模を縮小することができる。

【 0 0 3 0 】

本発明のディジタルフィルタの構成及び動作について、マッチドフィルタを例にとって説明する。

本発明の第1の実施の形態に係るマッチドフィルタの構成について、図1及び図4～図5を用いて説明する。図1は、本発明の第1の実施の形態（以下、実施の形態1という）に係るマッチドフィルタの構成ブロック図である。図1のマッチドフィルタは、単一の拡散符号で変調された同相成分及び直交成分のアナログ変調信号を受信し、デジタル変換した後、各成分の相関演算を行い、演算結果を相関出力するものである。

【 0 0 3 1 】

また、図1のマッチドフィルタは、チップレート3.84Mbpsで送信される4ビットデータのアナログ変調信号に対し、4倍のサンプルレート、すなわち15.36MHzでデジタル変換及び相関出力を行う。

図4は、本発明の実施の形態1に係るマッチドフィルタにおける、積和演算部の構成ブロック図である。また、図5は、積和演算部内の加算部の構成ブロック図である。

【 0 0 3 2 】

本発明の実施の形態1に係るマッチドフィルタは、データ分割部101と、データレジスタ102と、Tap係数制御部103と、Tap係数レジスタ104と、積和演算部105と、データ復元部106とから構成される。また積和演算部105は、乗算部401と、加算部402とから構成されている。

【0033】

データ分割部101は、A/D変換器（図示せず）で変換された4ビットのI相及びQ相のディジタル受信データについてそれぞれ、上位2ビット及び下位2ビットに分割して、61.44MHzの速度で分割した受信データ毎に時分割で、交互にデータレジスタ102に出力する。データ分割部101はデータ分割カウンタ（図示せず）で生成されるカウンタ数に基づいて、分割する受信データを決定する。

【0034】

データレジスタ102は、32ビット長のレジスタが256個設けられており、各レジスタにおいてI相及びQ相の受信データを1チップ分格納し、データレジスタ102全体で1シンボル分の受信データを格納できる。また、データレジスタ102は、61.44MHzの速度で各レジスタから2ビットずつ受信データを積和演算部105に出力する。

【0035】

Tap係数制御部103は、アナログ変調信号の変調の際に用いられた拡散符号と同一の逆拡散符号を1チップ分、すなわち1ビットずつ、3.84MHzの速度で生成し、Tap係数レジスタ104の指定したアドレスに出力する。

Tap係数レジスタ104は、256ビット長のレジスタを有し、Tap係数制御部103で生成された逆拡散符号を256チップ、すなわち1シンボル分格納し、積和演算部105に15.36MHzの速度で出力する。

本発明の実施の形態1のマッチドフィルタにおいて、Tap係数制御部103及びTap係数レジスタ104の代わりに、あらかじめ逆拡散符号を1シンボル分複数種記憶しておき、積和演算部105に出力するような装置で置き換えてもよい。

【0036】

積和演算部105は、データレジスタ102から出力された各チップ毎の各成分の分割された受信データと、Tap係数レジスタ104から出力された逆拡散符号との乗算及び乗算結果の加算を行うことで相関演算を行い、サンプルタイミング毎の各成分の分割された受信データに対する相関出力を61.44MHzの

速度でデータ復元部106に出力する。

図4で表されているように、積和演算部105は乗算部401と加算部402とから構成されている。乗算部401は2ビット*1ビットの乗算を行う乗算器が256個設けられており、それぞれの乗算器で1チップ毎の分割された受信データ及び逆拡散符号との乗算を行う。各乗算器の乗算結果は一つにまとめられ、512ビットのデータとして加算部402に出力される。

【0037】

加算部402は、図5で示されているように、加算器を階層構造に配置したことによって、乗算結果の総和を算出する構成となっている。乗算部401から出力された512ビットの出力データは2ビットずつに分割されて、1段目の加算器群に入力される。1段目の加算器群は、2ビットの入力データに対して加算を行い、3ビットのデータとして出力する加算器が128個配置されている。各加算器は隣接する二つのチップタイミングの乗算結果を加算し、加算結果を2段目の加算器群へ出力する。

【0038】

2段目の加算器群は、3ビットの入力データに対して加算を行い、4ビットのデータとして出力する加算器が64個配置されており、隣接する1段目の加算器群中の2つの加算器から出力された加算結果同士を加算する。加算部402は以下、同様な構成の加算器群を多段配置した構成からなり、最終段（8段目）の加算器において、全ての乗算結果の総和、すなわち相関出力を算出する。最終段の加算器は9ビットの入力データに対して加算を行い、10ビットのデータとして出力する加算器1個で構成される。

本発明の実施の形態1のマッチドフィルタにおいて、乗算部401の各乗算器、加算部402の各加算器も61.44MHzの速度で動作する。

【0039】

データ復元部106は、積和演算部105から出力された、サンプルタイミング毎の各成分の分割された受信データの相関出力を合成して、受信データの相関出力として成分別に出力する。データ復元部106は、30.72MHzの速度で分割された受信データの相関出力の合成を行う。

【 0 0 4 0 】

次に、本発明の実施の形態 1 のマッチドフィルタの動作について図 1 ～図 6 を用いて説明する。

受信機のアンテナ（図示せず）において受信された 4 ビットのアナログ変調信号は、A/D 変換器（図示せず）で I 相及び Q 相毎に 4 倍のサンプルレート、すなわち 15.36 MHz の速度でデジタル変換され、デジタルの受信データとしてデータ分割部 101 に出力される。

【 0 0 4 1 】

データ分割部 101 では、入力された各成分の受信データを、複数のビット単位のデータ（以下、分割ビットデータという）に分割する。具体的には 4 ビット長の受信データを、上位 2 ビット（以下、上位ビットデータという）及び下位 2 ビット（以下、下位ビットデータという）に分割して出力する。

図 2 はデータ分割部 101 において入力又は生成される各データのタイミングチャート図である。I 相及び Q 相の受信データ（図 10 では、I 相 I_N 、Q 相 I_N ）はサンプルレートで平行して順次データ分割部 101 に入力される。図 10 において、I 相及び Q 相の受信データは 4 倍のサンプルレートで出力されるため、 $DI_1 \sim DI_4$ 、 $DQ_1 \sim DQ_4$ は同じ値となる。

【 0 0 4 2 】

データ分割部 101 にはさらに、データ分割カウンタから生成される 2 ビットデータのカウンタ数が入力され、このカウンタ数に基づいて分割出力するビットデータを決定する。データ分割カウンタは、61.44 MHz の速度でカウンタ数（図 10 ではデータ分割カウンタ）として 0 ～ 3 の数値を繰り返し出力する。データ分割部 101 は入力されたカウンタ数を参照し、入力されている受信データに対して分割出力するビットデータを決定し、出力する。

【 0 0 4 3 】

例えば、入力されている I 相及び Q 相の受信データが DI_1 、 DQ_1 であるとき、データ分割部 101 はカウンタ数が“0”の場合、I 相の受信データの下位ビットデータ DI_{1L} を、“1”の場合、I 相の受信データの上位ビットデータ DI_{1U} を、“2”の場合、Q 相の受信データの下位ビットデータ DQ_{1L} を、

“3”の場合、Q相の受信データの上位ビットデータ DQ_{1L} を出力する。

データ分割部101は上述した動作を以後順次入力される受信データに対して行い、61.44MHzの速度で分割ビットデータを出力する。

本発明において、データ分割部101における分割ビットデータの出力順は、上述した通り以外の順番でもよい。

【0044】

データ分割部101から出力された各成分の分割ビットデータは、データレジスタ102に入力される。図3は、データレジスタ102における分割ビットデータの遷移動作について示した図である。

分割ビットデータは、データレジスタ102に入力されると、まずレジスタ1の0～1ビット目のアドレスに格納される。新たな分割ビットデータがレジスタ1に格納されると、それまでレジスタ1に格納されていた分割ビットデータは、図面右側のアドレスへそれぞれ2ビット分シフトする。すなわち0～1ビット目のアドレスに格納されていた分割ビットデータは2～3ビット目に、それ以降のアドレスに格納されている分割ビットデータも順次右側に2ビットずつシフトしていく。

【0045】

レジスタ1の30～31ビット目に格納されている分割ビットデータは、新たに分割ビットデータがレジスタ1に格納されると、次段のレジスタ2の0～1ビット目にシフトされると共に、積和演算部105に出力される。他のレジスタについても、同様の動作が行われ、分割ビットデータのシフト及び積和演算部105への出力が行われる。各レジスタから出力された分割ビットデータは一つにまとめられ、 $2 \times 256 = 512$ ビットのデータとして積和演算部105に出力される。

本発明の実施の形態1のマッチドフィルタにおいて、データレジスタ102の各レジスタから出力される分割ビットデータは、図10のタイムチャート図で示した通りの順番で出力される。

【0046】

データレジスタ102において、各レジスタは32ビットのデータを格納でき

るため、1チップ分のI相及びQ相の受信データを格納でき、分割ビットデータを順次シフトすることによってデータを遅延化させている。またサンプルレートの成分数×分割数倍、すなわち4倍の速度で順次分割ビットデータが出力され、各レジスタの末尾2ビットに格納されていた分割ビットデータが積和演算部105に出力されることで、チップ毎の256個の分割ビットデータがサンプルレートの4倍の速度で出力され、サンプルタイミングの経過時にはI相及びQ相の1シンボル分の受信データが出力されることになる。

【0047】

Tap係数制御部103は、アナログ変調信号の変調の際に用いられた拡散符号と同一の逆拡散符号を各成分毎に1チップ分、すなわち1ビットずつ3.84MHzの速度で生成し、Tap係数レジスタ104の指定したアドレスに出力する。

Tap係数レジスタ104は256ビットのレジスタで構成されており、Tap係数制御部103で生成、出力された逆拡散符号を指定されたアドレスに1ビットずつ順次格納する。Tap係数レジスタ104で格納された逆拡散符号は15.36MHzの速度で積和演算部105に出力される。

またTap係数制御部103は、256チップ分の逆拡散符号を出力し終わると、Tap係数レジスタ104に対して格納している逆拡散符号をリセットする制御命令を出力する。Tap係数制御部103は上述した動作をシンボルタイミング毎に繰り返し行う。

【0048】

データレジスタ102から出力された各チップ毎の各成分の分割ビットデータと、Tap係数レジスタ104から出力された逆拡散符号は、積和演算部105に入力され、乗算処理及び乗算結果の総和が算出され、サンプルタイミング毎の分割ビットデータに対する相関出力が成分別にデータ復元部106に出力される。積和演算部105は上記の相関出力を61.44MHzの速度で出力する。

【0049】

分割ビットデータの相関出力は、データ復元部106において合成され、元の受信データに復元される。図6(a)は、データ復元部106における復元動作

のタイムチャート図、図 6 (b) は、データ復元部 1 0 6 の構成ブロック図である。以下図 6 を用いてデータ復元部 1 0 6 の構成及び動作について詳細に説明する。尚、図 6 (a) のタイムチャート図におけるデータ分割カウンタは、図 2 のタイムチャート図に示すデータ分割カウンタと同一である。

【 0 0 5 0 】

データ復元部 1 0 6 は、データシフト装置 (図 6 では 2bit shift(left)) 6 0 1 と、F/F (Flip Flop) 6 0 2 と、加算器 6 0 3 と、F/F 6 0 4 と、データセレクト部 (図 6 では Data Select) 6 0 5 とから構成されている。

データシフト装置 6 0 1 は、データ復元部 1 0 6 に入力されたデータを左に 2 ビットシフトさせ、入力データより 2 ビット大きいデータを出力する。

F/F 6 0 2 は、入力データを 1 クロック遅延させて加算器 6 0 3 に出力する。

【 0 0 5 1 】

加算器 6 0 3 は、データシフト装置 6 0 1 及び F/F 6 0 2 から出力されたデータの加算を行うことで分割ビットデータの相関出力の合成処理を行い、合成結果を F/F 6 0 4 に出力する。

F/F 6 0 4 は、加算器 6 0 3 における受信データの相関出力を格納し、データ分割カウンタから出力されるイネーブル信号に基づいて、格納されている受信データの相関出力をデータセレクト部 6 0 5 に出力する。

データセレクト部 6 0 5 は、F/F 6 0 4 から出力された受信データの相関出力を入力し、成分別に出力する。

【 0 0 5 2 】

データ復元部 1 0 6 に入力された 1 0 ビット長の分割ビットデータの相関出力 (図 6 では addcodeI) は、データシフト装置 6 0 1 において、左に 2 ビットシフトされた 1 2 ビットデータに変換され、加算器 6 0 3 に出力される。また分割ビットデータの相関出力は、F/F 6 0 2 にも入力され、6 1. 4 4 MHz のクロック周波数 (図 6 では CK60M) に基づいて、1 クロック遅延されたデータ (図 6 では ffaddcodeI) として加算器 6 0 3 に出力される。加算器 6 0 3 は、データシフト装置 6 0 1 及び F/F 6 0 2 から同じクロックタイミングで出力された相関

出力について加算を行い、加算結果をF/F604に出力する。

【0053】

データシフト装置601によるシフト操作は、上位ビットデータと下位ビットデータとのビット合わせに他ならない。よってデータシフト装置601、F/F602及び加算器603を設けたことにより、上位ビットデータ及び下位ビットデータから元の受信データを復元することができる。

【0054】

F/F604には、61.44MHzのクロック周波数の他に、データ分割部101にカウンタ数を出力するデータ分割カウンタから30.72MHzのイネーブル信号（図6ではEN_CK30M）が入力される。F/F604はイネーブル信号が入力されると、格納されている加算結果をデータセレクト部605に出力する。

【0055】

既述したように、データ分割部101はデータ分割カウンタが生成するカウンタ数に基づいて、各成分の受信データを上位2ビット、下位2ビットの順に分割してデータレジスタ102に出力している。積和演算部105から出力される分割ビットデータの相関出力でも、この順番は守られている。したがってカウンタ数が1の時点では特定のサンプルタイミングでのI相の受信データが、3の時点でQ相の受信データが出揃うことになる。

【0056】

図6（a）のタイムチャート図でも示すように、F/F604に入力されるイネーブル信号は、カウンタ数が2及び4のときに同期して発生している。これによりF/F604は、加算器603から61.44MHzの速度で出力される加算結果のうち、復元されたI相及びQ相の受信データ（図6ではbindaddI）を正確に出力することができる。図6（a）のタイムチャート図において、丸印のついたaddcodeI、ffaddcodeIの加算結果がbindaddIとして、F/F604から出力されることになる。

【0057】

F/F604から30.72MHzの速度で出力される復元された受信データ

の相関出力は、データセクタ部605において、成分別に出力される。図6(a)のタイムチャート図に示されるように、データセクタ部605は同じサンプルタイミングのI相及びQ相の受信データの相関出力を、同時に15.36MHzの速度で出力する。データ復元部106は上述した動作によりサンプルタイミング毎にI相及びQ相の受信データの相関出力を出力する。

【0058】

本発明の実施の形態1のマッチドフィルタにおいて、データ復元部106は分割ビットデータが出力される順番に基づいて、データシフト装置601及びF/F602の構成を変更してもよい。同様に、データ分割カウンタはイネーブル信号の発生タイミングを変更してもよい。

【0059】

本発明の実施の形態1のマッチドフィルタでは、データ分割部101において各成分の受信データを上位ビットデータ及び下位ビットデータに分割し、時分割でデータレジスタ102に出力している。このため積和演算部105の乗算部401では2ビットの乗算器を256個、加算部402では1段目に2ビット入力3ビット出力の加算器を128個、最終段に9ビット入力10ビット出力の加算器を1個用いる階層構造となっている。

従来のマッチドフィルタにおける積和演算部と比較すると、乗算器及び加算器の構成及び総数は同じであるが、個々の乗算器及び加算器における演算ビット数を低減している分、積和演算部の回路規模を縮小することができる。

【0060】

本発明の実施の形態1のマッチドフィルタによれば、I相及びQ相の受信データをそれぞれ上位ビットデータと下位ビットデータとに分割し、時分割で積和演算部に出力して相関演算を行うようにしたことにより、マッチドフィルタの回路規模の大部分を占める積和演算部の回路規模を縮小できるため、マッチドフィルタ全体の回路規模を大幅に縮小できる効果がある。

【0061】

次に、本発明の第2の実施の形態に係るマッチドフィルタの構成及び動作について、実施の形態1のマッチドフィルタとの相違点を中心に図7及び図8を用いて

説明する。図7は、本発明の第2の実施の形態（以下、実施の形態2という）に係るマッチドフィルタの構成ブロック図である。図7のマッチドフィルタは、図9のマッチドフィルタと同様、複素変調された同相成分及び直交成分のアナログ変調信号を受信し、デジタル変換した後、各成分の相関演算を行い、演算結果を相関出力するものである。

また、図7のマッチドフィルタは、実施の形態1と同様、チップレート3.84Mbpsで送信される4ビットデータのアナログ変調信号に対し、4倍のサンプルレート、すなわち15.36MHzでデジタル変換及び相関出力を行う。

【0062】

受信機のアンテナ（図示せず）において受信された4ビットのアナログ変調信号は、A/D変換器（図示せず）でI相及びQ相毎に15.36MHzの速度で、すなわち4倍のサンプルレートでデジタル変換され、デジタルの受信データとしてデータ分割部701に出力される。データ分割部701は実施の形態1のマッチドフィルタのデータ分割部101と同様に、各成分の受信データを上位ビットデータ及び下位ビットデータに分割し、61.44MHzの速度でデータレジスタ702に時分割で出力する。

データ分割部701の分割ビットデータの出力順は、実施の形態1のマッチドフィルタと同様、図2のタイムチャート図の通りである。

【0063】

データレジスタ702は実施の形態1のデータレジスタ102と同様、32ビットのレジスタ256個で構成されており、61.44MHzの速度で各レジスタから分割ビットデータを積和演算部706及び707に出力する。データレジスタ702における分割ビットデータの遷移動作は、図3に示す通りに行われる。

【0064】

本発明の実施の形態2のマッチドフィルタでは、複素変調されたアナログ変調信号に対してI相及びQ相の相関出力を行うため、I相及びQ相の逆拡散符号が相関演算の際に必要となる。このためTap係数制御部703はI相及びQ相の逆拡散符号を各成分毎に1ビットずつチップレートで生成し、I相Tap係数レ

ジスタ704とQ相Tap係数レジスタ705の指定されたアドレスに出力する。

【0065】

I相Tap係数レジスタ704とQ相Tap係数レジスタ705はそれぞれ、256ビットのレジスタで構成されており、格納されている逆拡散符号を積和演算部706、707に15.72MHzの速度で出力する。またTap係数制御部703は、256チップ分の逆拡散符号を出力し終わると、I相Tap係数レジスタ704及びQ相Tap係数レジスタ705に対して格納している逆拡散符号をリセットする制御命令を出力する。Tap係数制御部703は上述した動作をシンボルタイミング毎に繰り返し行う。

【0066】

積和演算部706、707はそれぞれ、データレジスタ702に格納されている分割ビットデータとI相Tap係数レジスタ704に格納されているI相の逆拡散符号の相関演算、分割ビットデータとQ相Tap係数レジスタ705に格納されているQ相の逆拡散符号の相関演算を行い、61.44MHzの速度で1シンボル分の分割ビットデータの相関出力をデータ復元部708に出力する。積和演算部706及び707の構成及び動作は実施の形態1の積和演算部105と同一である。

従来技術の説明で既述した記号を用いると、積和演算部706は $D_I * C_I$ 、 $D_Q * C_I$ の相関出力を、積和演算部707は $D_I * C_Q$ 、 $D_Q * C_Q$ の相関出力を分割ビットデータ単位で出力する。

【0067】

データ復元部708は積和演算部706及び707から出力された分割ビットデータの相関出力を合成し、受信データの相関出力を復元する。図8(a)は、データ復元部708における復元動作のタイムチャート図、図8(b)は、データ復元部708の構成ブロック図である。

図8(b)の構成ブロック図において、上段の回路群は積和演算部706から出力された分割ビットデータの相関出力について、下段の回路群は積和演算部706から出力された分割ビットデータの相関出力について合成処理を行い、それ

ぞれの合成結果をデータセクタ部（図8ではData Select）809に出力する。各回路群の構成及び動作は、図6（b）に示す実施の形態1のデータ復元部106の構成ブロック図の対応する部分と同一である。

【0068】

図8（a）に示されているように、F/F804からは $D_I * C_I$ 、 $D_Q * C_I$ の相関出力が、F/F808からは $D_I * C_Q$ 、 $D_Q * C_Q$ の相関出力がそれぞれ復元され、30.72MHzの速度で交互にデータセクタ部809に出力される。データセクタ部809はF/F804及び808から出力された4種類の相関結果を、15.36MHzの速度で複素演算部709に出力する。

複素演算部709は、入力された4種類の相関出力に対して複素演算を行い、I相及びQ相の相関出力波形を復調する。従来の技術で説明した（1）（2）式の演算を実現するよう、2個の加算器を用いて構成される点は、従来の複素演算部910と同様である。本発明の実施の形態2のマッチドフィルタは、上述した構成及び動作により、サンプルタイミング毎の成分別の相関出力を得ることができる。

【0069】

本発明の実施の形態2のマッチドフィルタは、積和演算部を2個有する構成であるが、マッチドフィルタの処理速度に応じて、1個の積和演算部にまとめてもよい。この場合、データ分割部701における分割ビットデータの出力速度及び積和演算部における相関出力の速度を倍にする必要がある。

【0070】

本発明の実施の形態2のマッチドフィルタでは、積和演算部の回路規模を縮小できる効果に加えて、サンプルレートの4倍の速度でビット単位で分割した受信データを成分別に時分割で積和演算部に出力したことにより、従来の複素相関のマッチドフィルタと比較して積和演算部の個数を低減することができる。個々の積和演算部の構成は実施の形態1の積和演算部と同一であるので、積和演算部の個数を低減できることで、さらにマッチドフィルタ全体の回路規模を縮小することができる。

【0071】

本発明の実施の形態 2 のマッチドフィルタによれば、複素変調された受信データをビット単位で分割し、得られたビットデータ毎にかつ成分別に時分割で積和演算部にサンプルレートの分割数 * 成分数倍の速度で出力するようにしたことにより、積和演算部の個数を低減でき、さらにマッチドフィルタ全体の回路規模を縮小できる効果がある。

【 0 0 7 2 】

本発明のマッチドフィルタでは、4 ビット長の受信データを扱うマッチドフィルタについて説明したが、他のビット長の受信データに対しても適用できることはいうまでもない。また本発明のマッチドフィルタは、受信データの分割数によらず適用できるものである。

例えば本発明のマッチドフィルタにおいて 4 ビットの受信データを 1 ビットずつ 4 つの分割ビットデータとして相関演算を行う場合、積和演算部はサンプルレートの 8 倍の速度で相関演算を行う必要があるが、積和演算部の回路規模をさらに縮小することができる。

また本発明のマッチドフィルタでは、マッチドフィルタを構成する装置の処理速度を上げて時分割処理を行っているが、現状の L S I 技術では 1 0 0 M b p s の処理速度を実現しているため、将来的にも問題なく実施できるものである。

【 0 0 7 3 】

以上、本発明のデジタルフィルタの構成及び動作について、マッチドフィルタを例に説明したが、本発明のデジタルフィルタはマッチドフィルタだけでなく、移動体通信システムにおいて送受信信号のフィルタリングを行う他のデジタルフィルタ（例えば F I R フィルタ）であっても上述した効果を奏する。

【 0 0 7 4 】

【発明の効果】

本発明によれば、複数系列からなるデジタルデータについてフィルタリング出力を行うデジタルフィルタにおいて、デジタルデータを系列毎にそれぞれ複数のデータに分割し、デジタルデータの入力速度を系列数倍したものの分割数倍の速度で時分割にフィルタリング演算を行い、同一のデジタルデータから分割されたデータのフィルタリング出力結果に対して合成処理を行い、合成処理

結果に基づいて系列別にデジタルデータのフィルタリング出力を得るデジタルフィルタとしたことにより、デジタルフィルタの回路規模を縮小できる効果がある。

【0075】

また、本発明によれば、1種類の拡散符号でスペクトラム拡散変調された同相成分及び直交成分のアナログ信号を規定のサンプルレートでデジタル変換することで得られる同相成分及び直交成分の受信データをそれぞれ複数に分割し、分割データとしてサンプルレートを2倍したものの分割数倍の速度で時分割に出力するデータ分割部と、データ分割部から出力される分割データを格納し、格納された分割データを前記サンプルレートを2倍したものの分割数倍の速度でチップ毎に時分割に出力するデータ格納部と、拡散符号と同一の逆拡散符号をチップ単位で生成し、出力する逆拡散符号生成部と、複数の乗算器及び加算器で構成され、データ格納部から出力された分割データ及び逆拡散符号生成部から出力された逆拡散符号との積和演算を、前記サンプルレートを2倍したものの分割数倍の速度で時分割に行い、相関演算結果として出力する相関演算部と、相関演算部から出力された分割データの相関演算結果のうち、同一の受信データを源とする分割データの相関演算結果同士を合成し、サンプルタイミング毎の同相成分及び直交成分の受信データの相関出力を行うデータ復元部とを有するマッチドフィルタとしたことにより、1種類の拡散符号で拡散変調された同相成分及び直交成分の受信データの相関演算を行うマッチドフィルタの回路規模を縮小できる効果がある。

【0076】

また、本発明によれば、同相成分及び直交成分の拡散符号によりスペクトラム拡散変調された同相成分及び直交成分のアナログ信号を規定のサンプルレートでデジタル変換することで得られる同相成分及び直交成分の受信データをそれぞれ複数に分割し、分割データとしてサンプルレートを2倍したものの分割数倍の速度で時分割に出力するデータ分割部と、データ分割部から出力される分割データを格納し、格納された分割データを前記サンプルレートを2倍したものの分割数倍の速度でチップ毎に時分割に出力するデータ格納部と、同相成分及び直交成

分の拡散符号とそれぞれ同一である、同相成分及び直交成分の逆拡散符号をチップ単位で生成し、出力する逆拡散符号生成部と、複数の乗算器及び加算器で構成され、データ格納部から出力された分割データ及び逆拡散符号生成部から出力された同相成分の逆拡散符号との積和演算を、サンプルレートを2倍したものの分割数倍の速度で時分割に行い、相関演算結果として出力する同相成分相関演算部と、複数の乗算器及び加算器で構成され、データ格納部から出力された分割データ及び逆拡散符号生成部から出力された前記直交成分の逆拡散符号との積和演算を、サンプルレートを2倍したものの分割数倍の速度で時分割に行い、相関演算結果として出力する直交成分相関演算部と、同相成分相関演算部及び直交成分相関演算部から出力された分割データの相関演算結果のうち、同一の受信データを源とする分割データの相関演算結果同士を合成し、同相成分相関演算部及び直交成分相関演算部による受信データの相関演算結果を出力するデータ復元部と、データ復元部から出力された同相成分相関演算部及び直交成分相関演算部による受信データの相関演算結果に基づいて複素演算を行い、サンプルタイミング毎の同相成分及び直交成分の受信データの相関出力を行う複素演算部とを有するマッチドフィルタとしたことにより、複素変調された同相成分及び直交成分の受信データの相関演算を行うマッチドフィルタの回路規模を縮小できる効果がある。

【0077】

また、本発明のマッチドフィルタを用い、得られたサンプルタイミング毎の同相成分及び直交成分の相関出力に基づいて、スペクトラム拡散変調された同相成分及び直交成分のアナログ信号の復調処理を行うことを特徴とするCDMA通信用受信機としたことにより、CDMA通信用受信機の回路規模を縮小できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係るマッチドフィルタの構成ブロック図である。

【図2】

本発明の第1の実施の形態に係るマッチドフィルタにおける、データ分割部で入力又は生成される各データのタイミングチャート図である。

【図3】

本発明の第 1 の実施の形態に係るマッチドフィルタにおける、データレジスタに入力された分割ビットデータの遷移動作について示した図である。

【図 4】

本発明の第 1 の実施の形態に係るマッチドフィルタにおける、積和演算部の構成ブロック図である。

【図 5】

本発明の第 1 の実施の形態に係るマッチドフィルタにおける、積和演算部内の加算部の構成ブロック図である。

【図 6】

本発明の第 1 の実施の形態に係るマッチドフィルタにおける、データ復元部における復元処理のタイミングチャート図及びデータ復元部の構成ブロック図である。

【図 7】

本発明の第 2 の実施の形態に係るマッチドフィルタの構成ブロック図である。

【図 8】

本発明の第 2 の実施の形態に係るマッチドフィルタにおける、データ復元部における復元処理のタイミングチャート図及びデータ復元部の構成ブロック図である。

【図 9】

従来のマッチドフィルタの構成ブロック図である。

【図 1 0】

受信データと逆拡散符号のタイミングチャート図である。

【図 1 1】

従来のマッチドフィルタにおける、データレジスタに入力された受信データの遷移動作について示した図である。

【図 1 2】

従来のマッチドフィルタにおける、積和演算部の構成ブロック図である。

【図 1 3】

従来のマッチドフィルタにおける、積和演算部内の乗算部の構成ブロック図で

ある。

【図14】

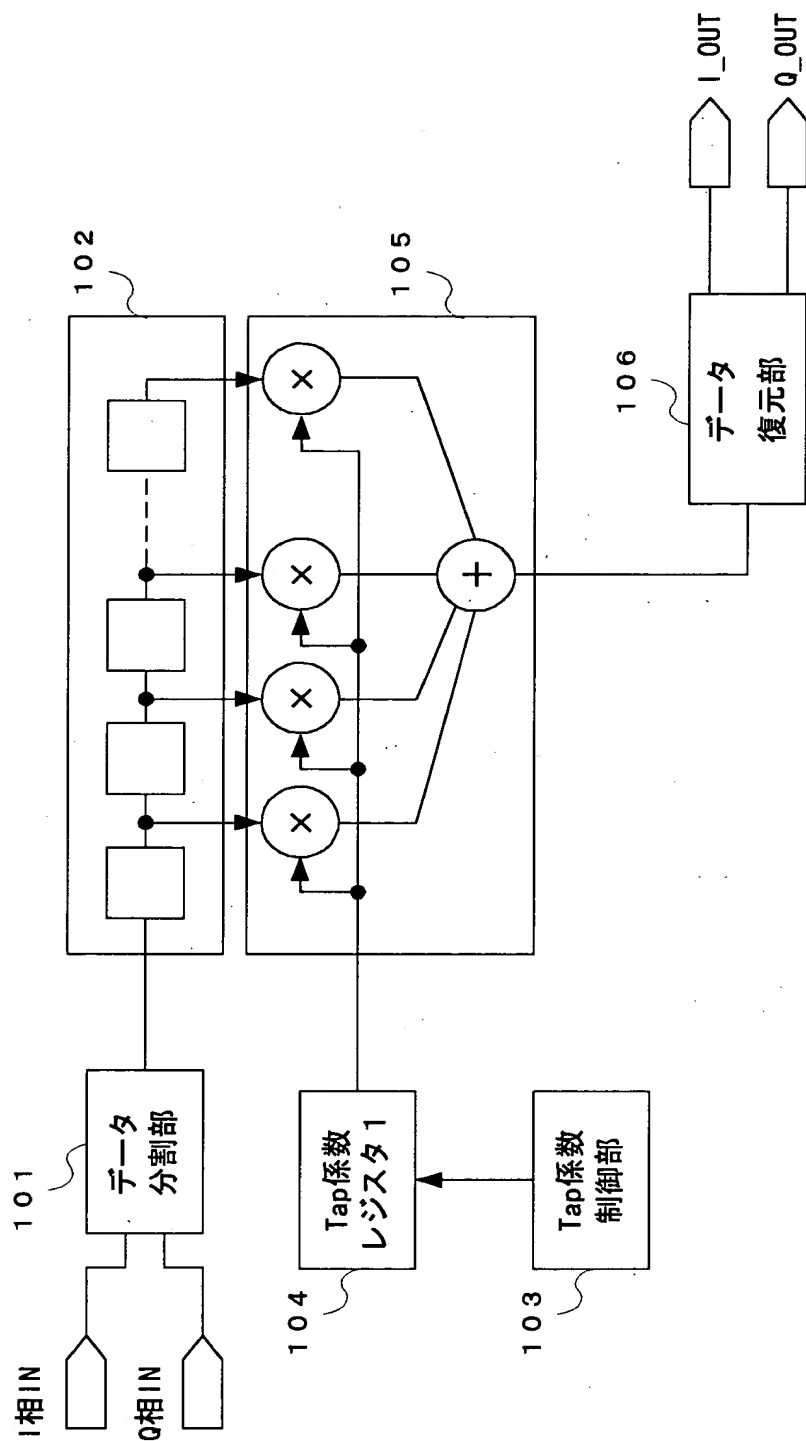
従来のマッチドフィルタにおける、積和演算部内の加算部の構成ブロック図である。

【符号の説明】

101、701…データ分割部、 102、702…データレジスタ、 103、703、903…Tap係数制御部、 104…Tap係数レジスタ、 105、706、707、906、907、908、909…積和演算部、 106、708…データ復元部、 401、1201…乗算部、 402、1202…加算部、 601、801、805…データシフト装置、 602、604、802、804、806、808…F/F、 603、803、807…加算器、 605、809…データセクタ部、 704、904…I相Tap係数レジスタ、 705、905…Q相Tap係数レジスタ、 709、910…複素演算部

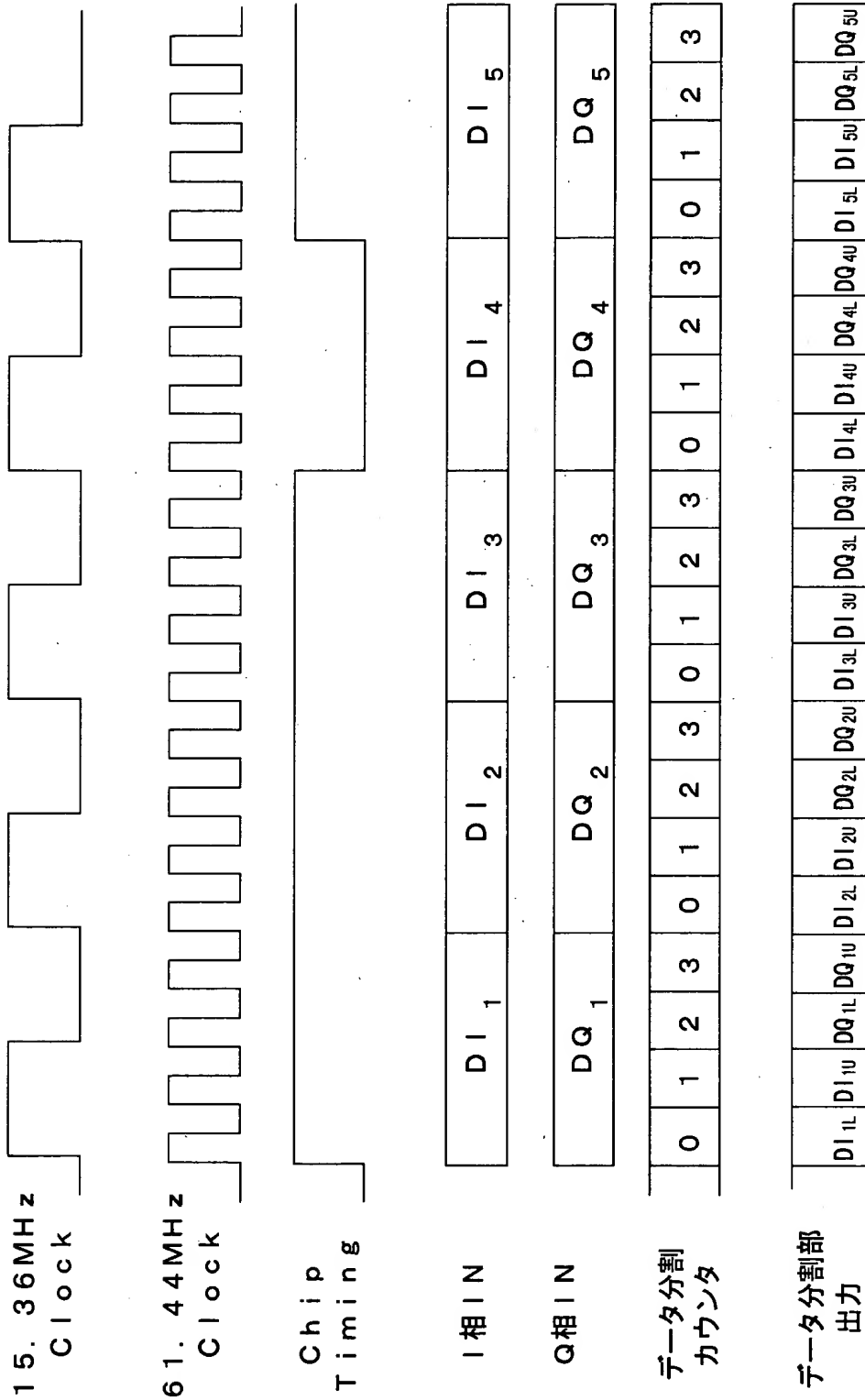
【書類名】 図面

【图 1】



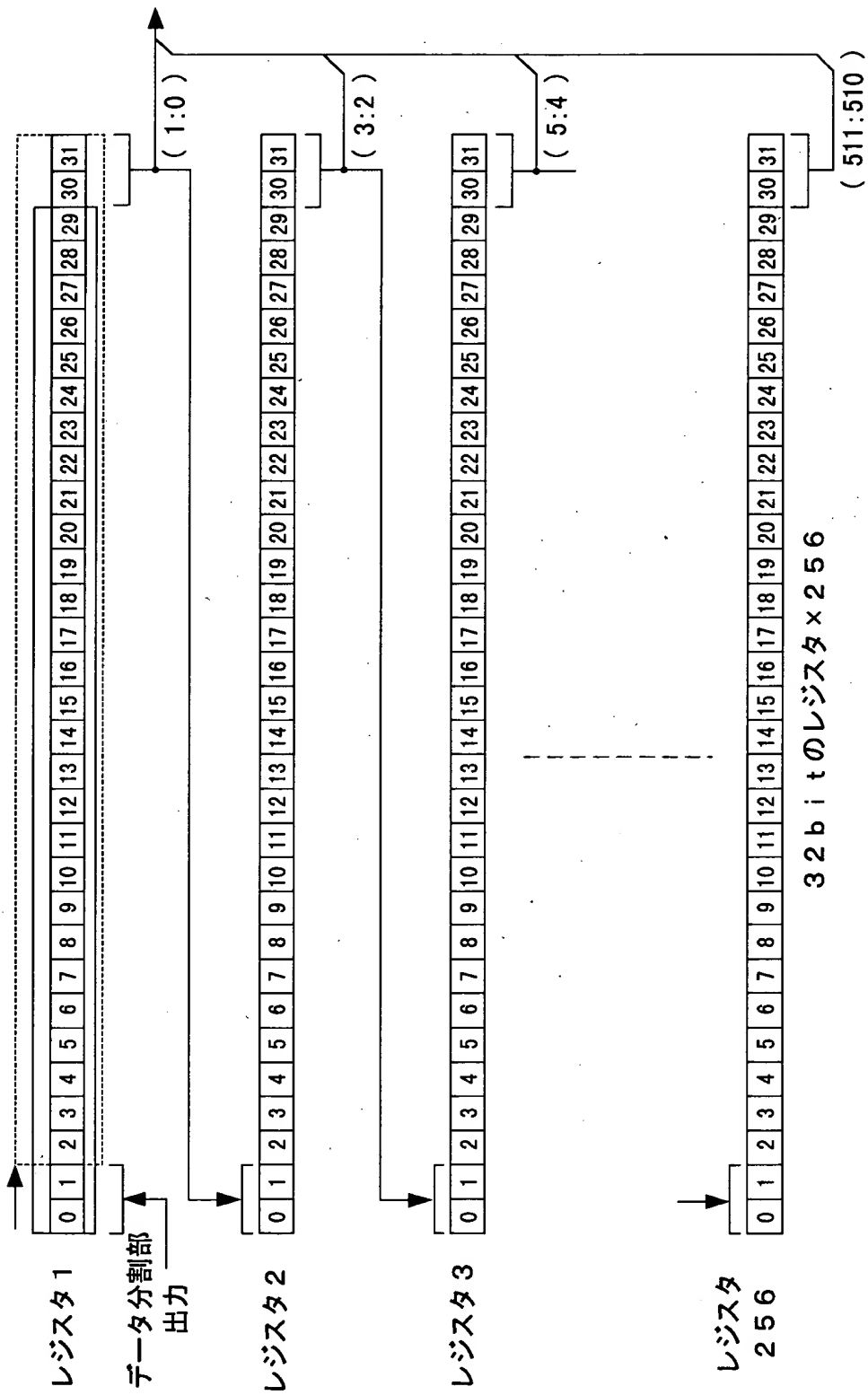
【图1】

【図 2】



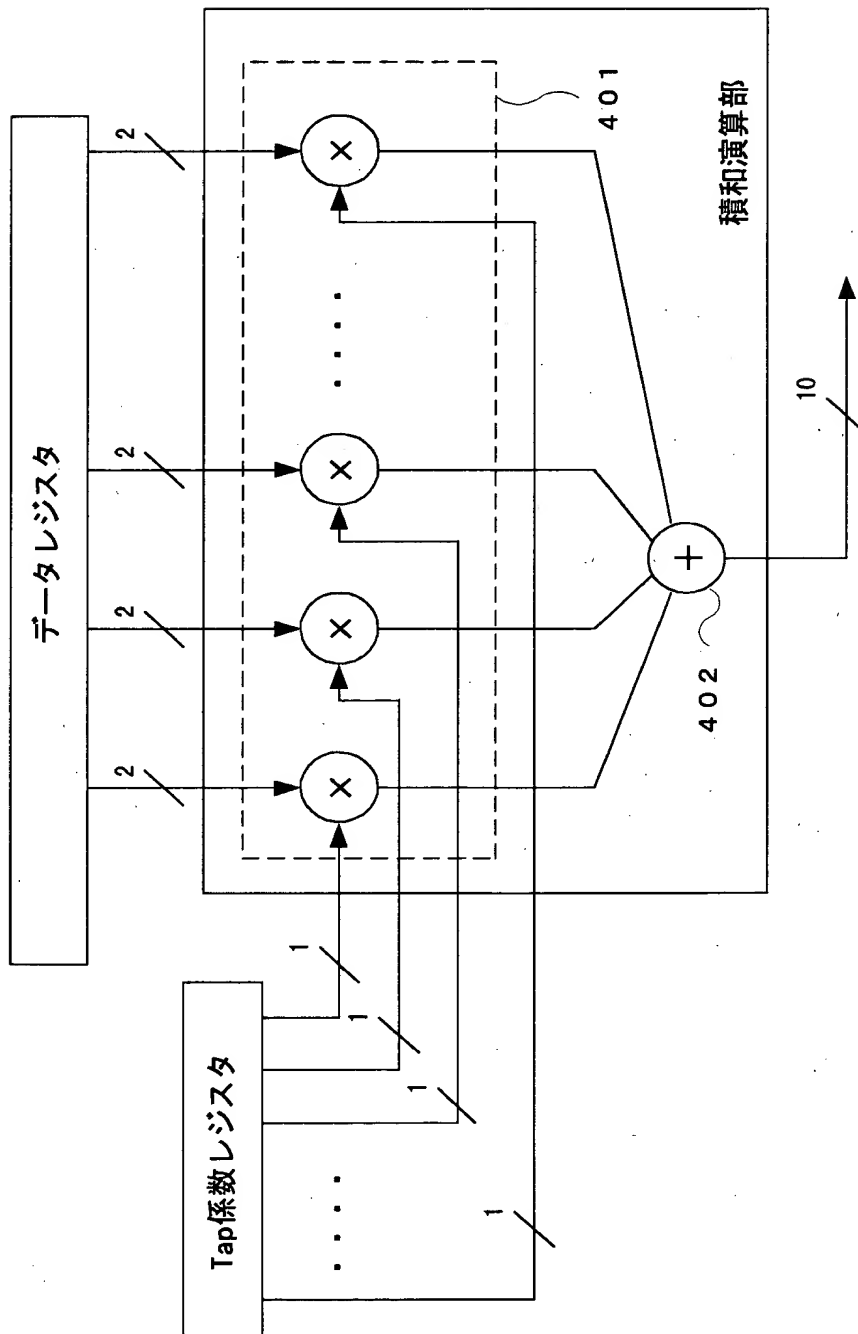
【図 2】

【図 3】



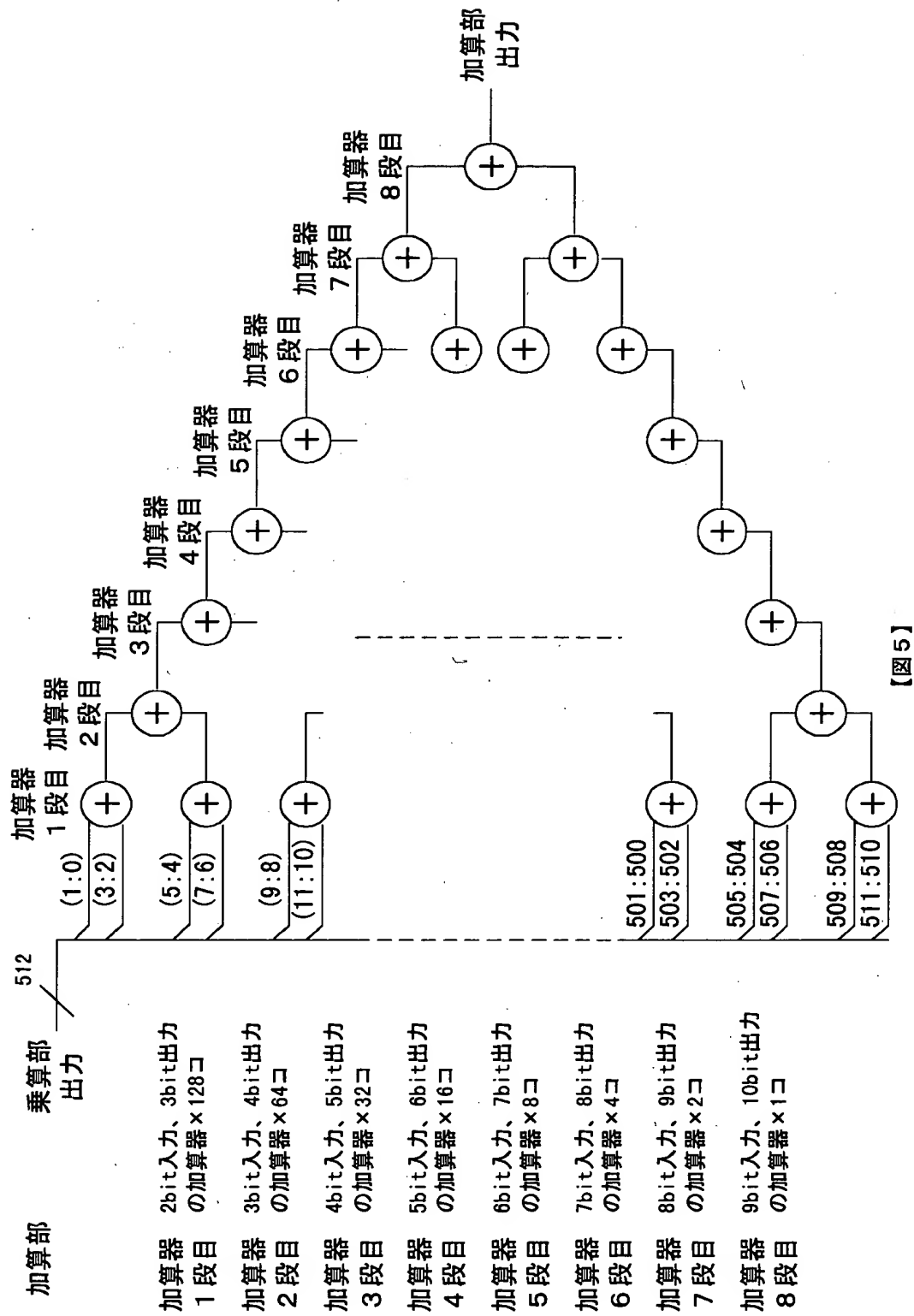
【図 3】

【図4】

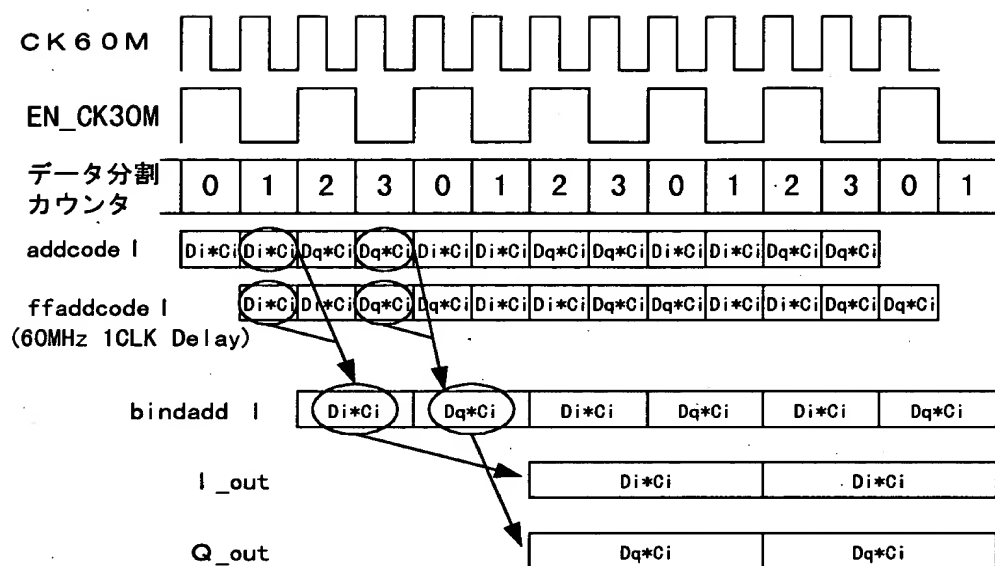


【図4】

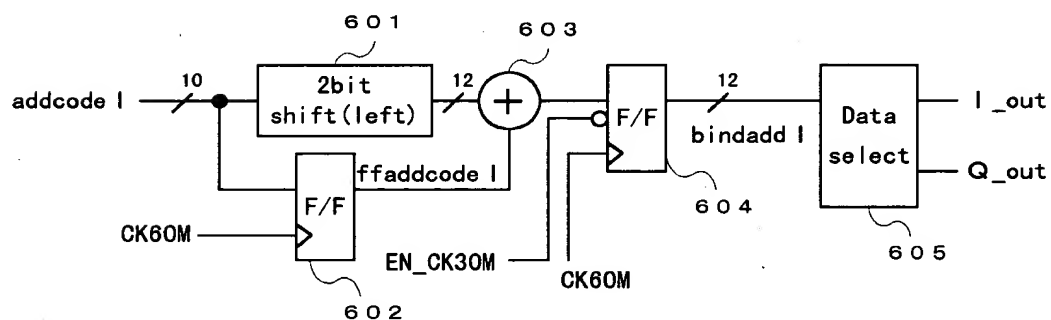
【図 5】



【図 6】



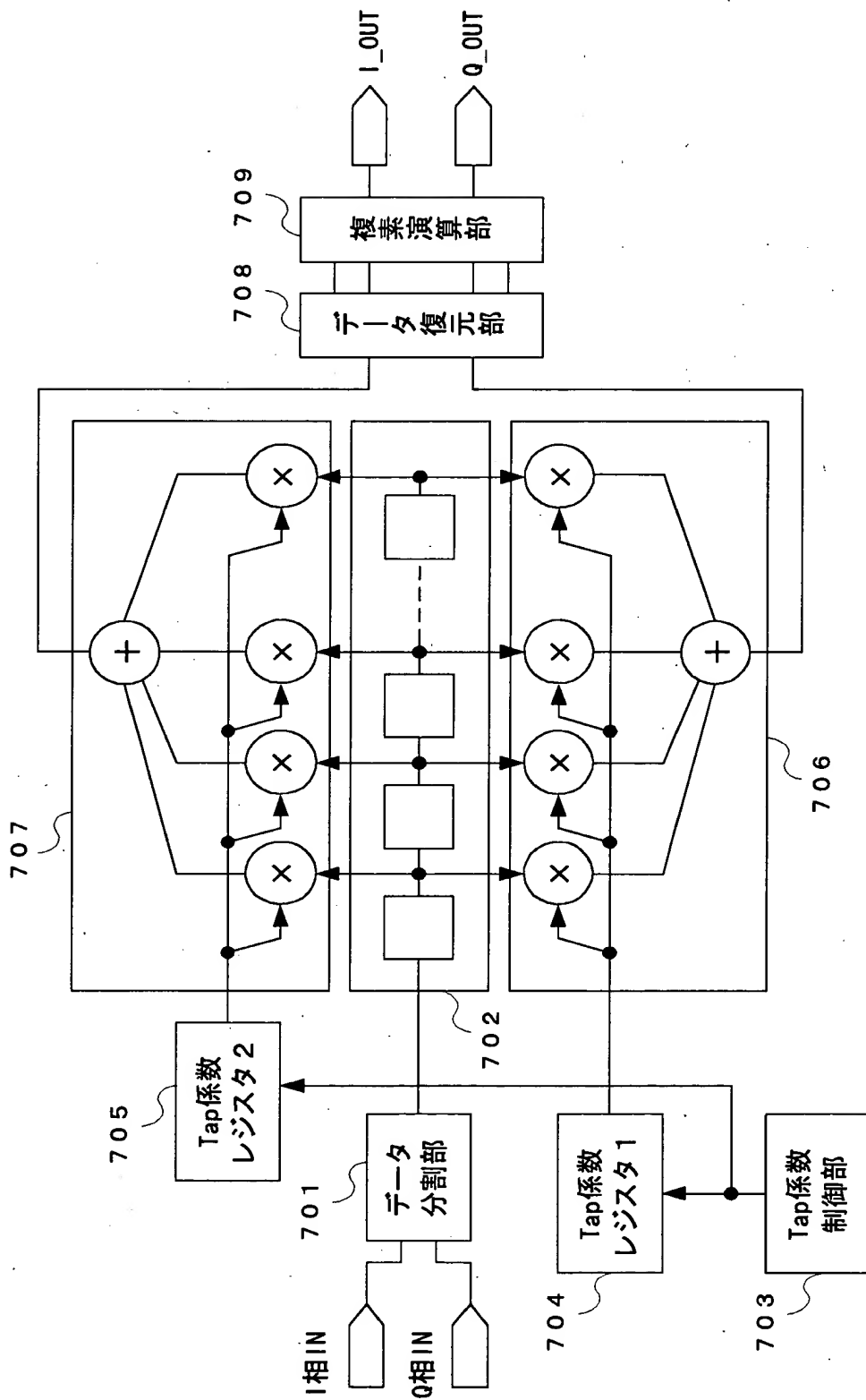
(a)



(b)

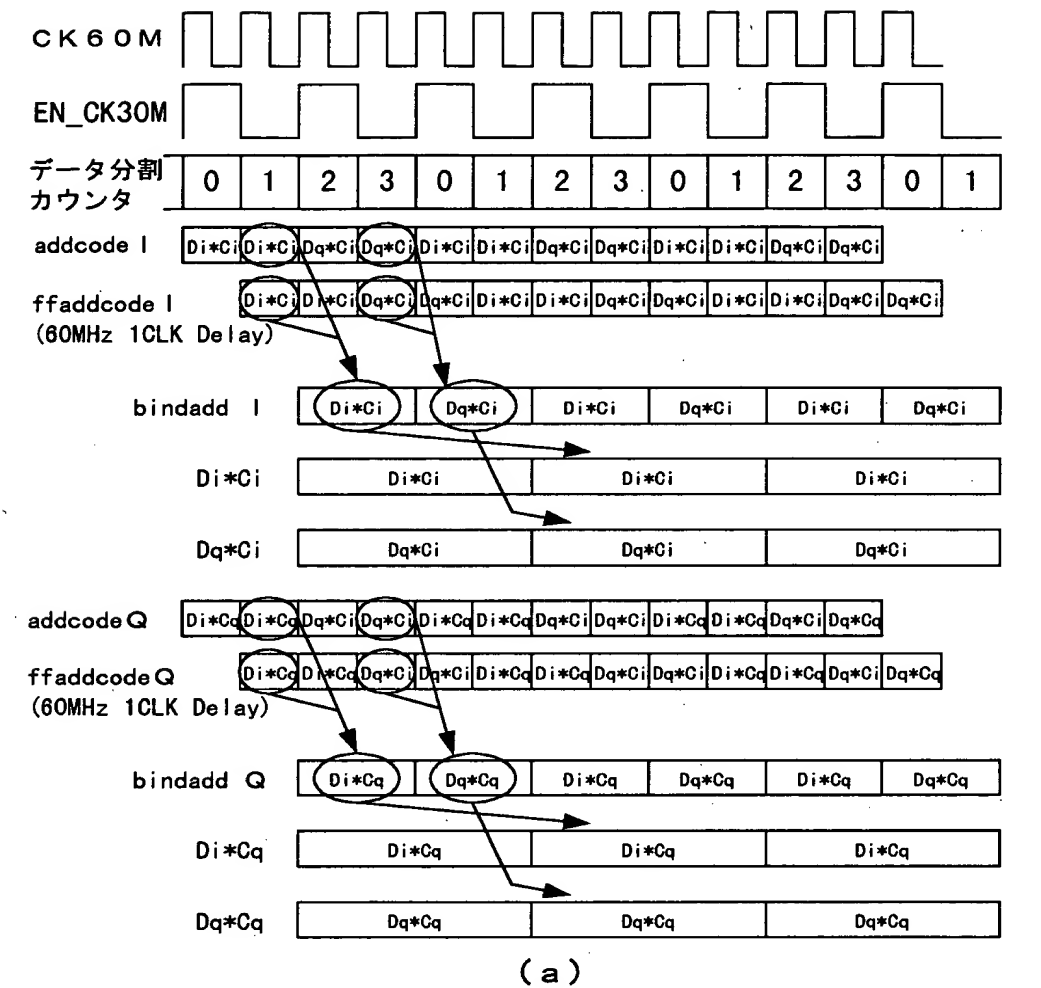
【図 6】

【図 7】

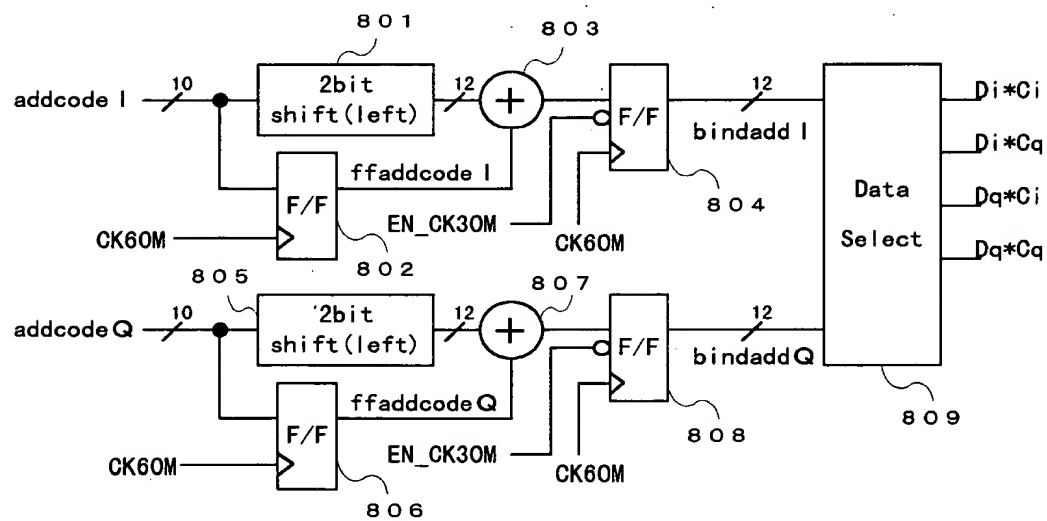


【図 7】

【図 8】



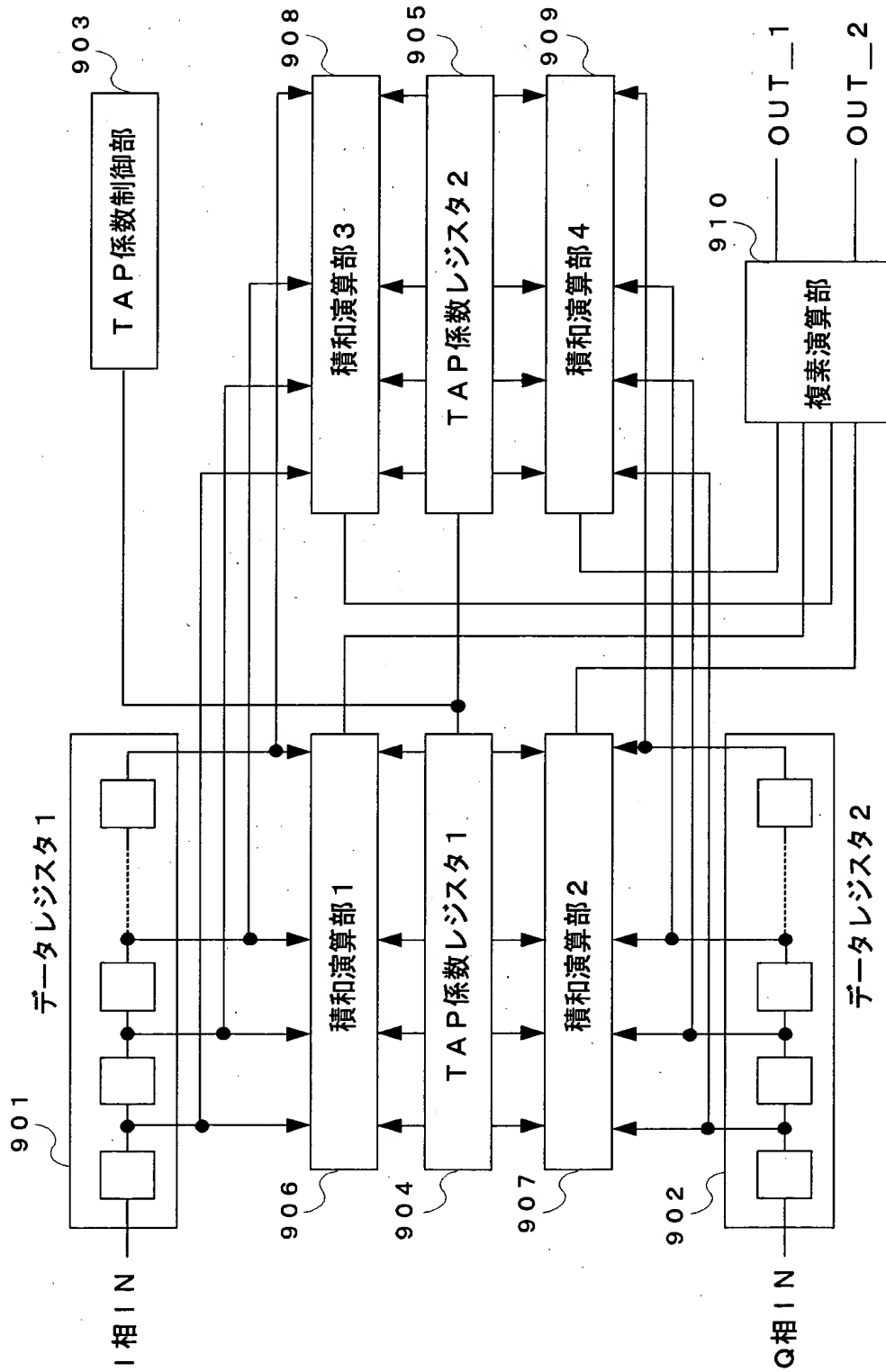
(a)



(b)

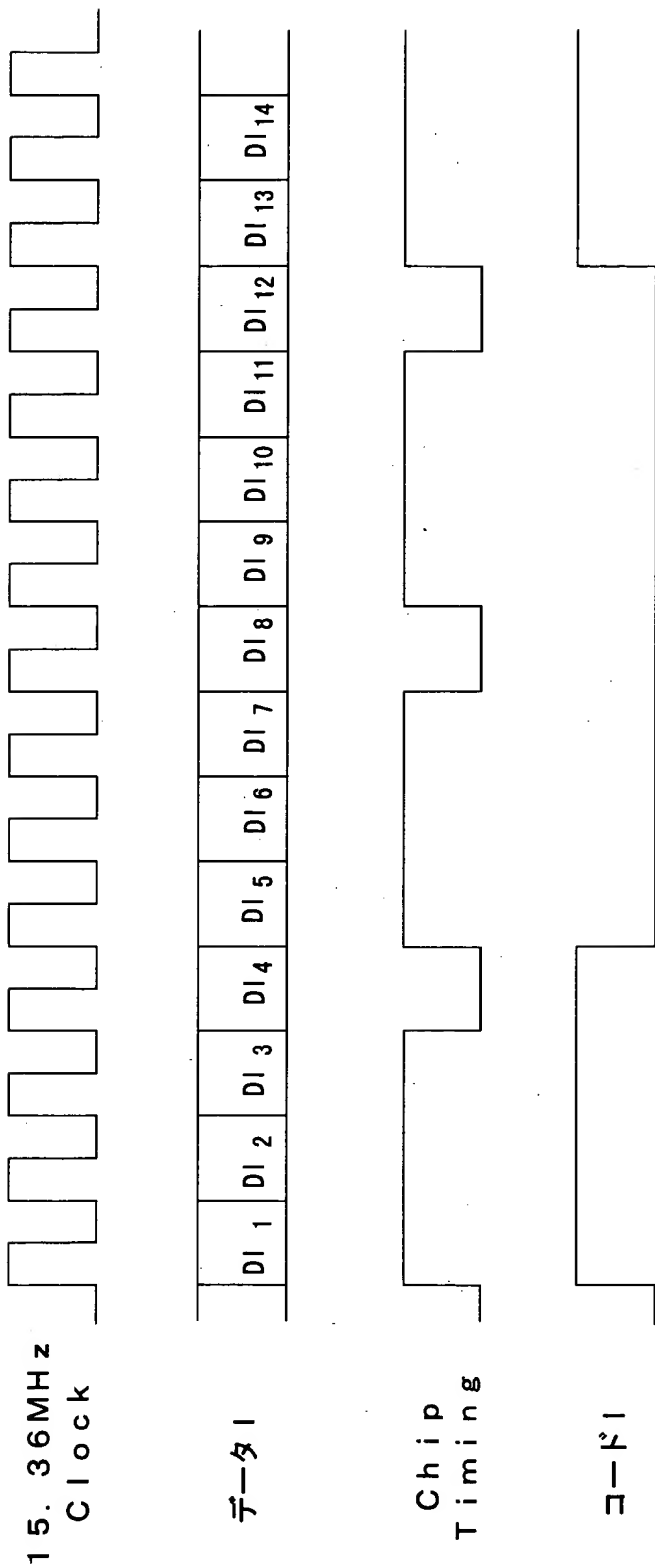
【図 8】

【図9】



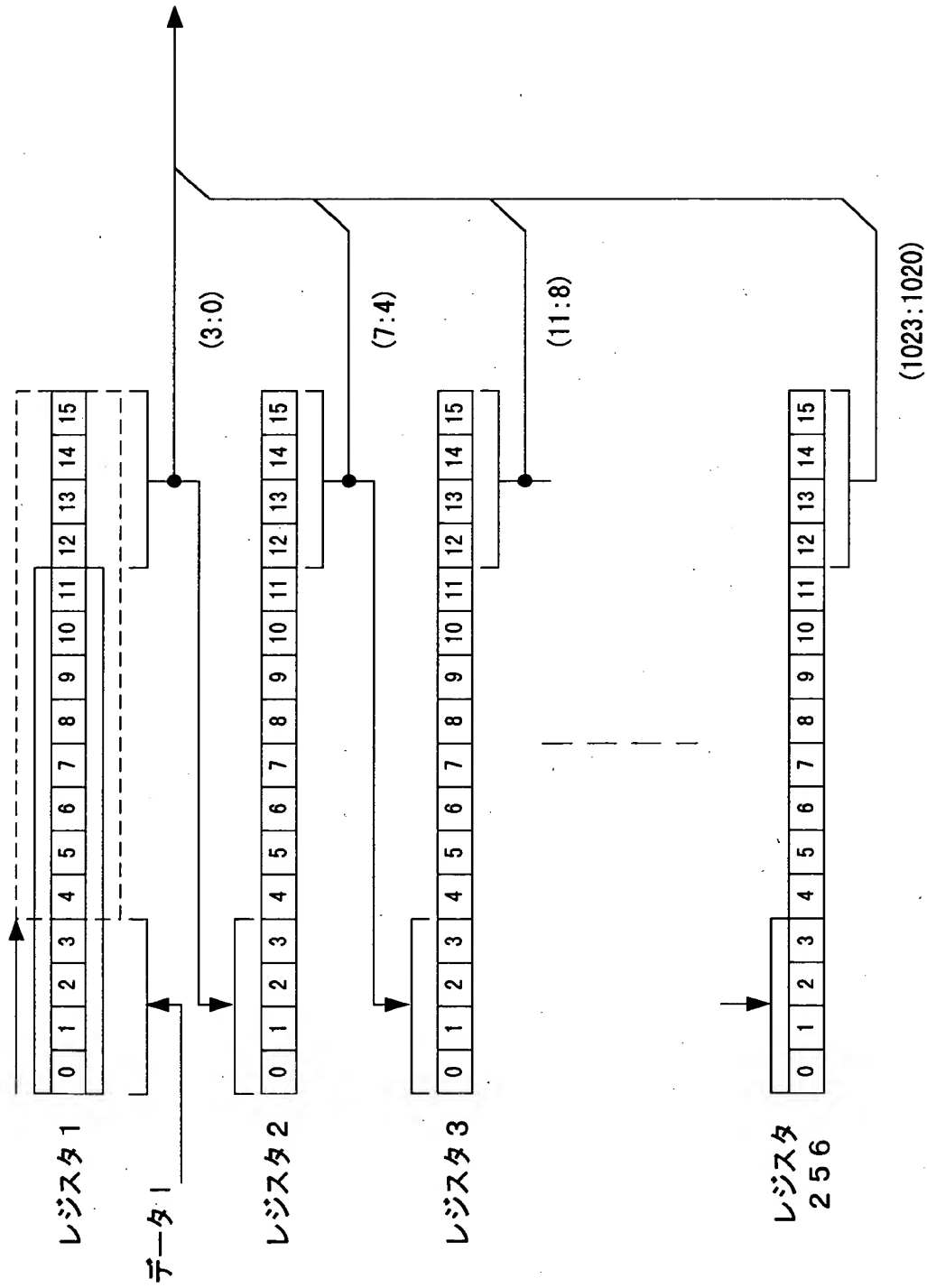
【図9】

【図 10】



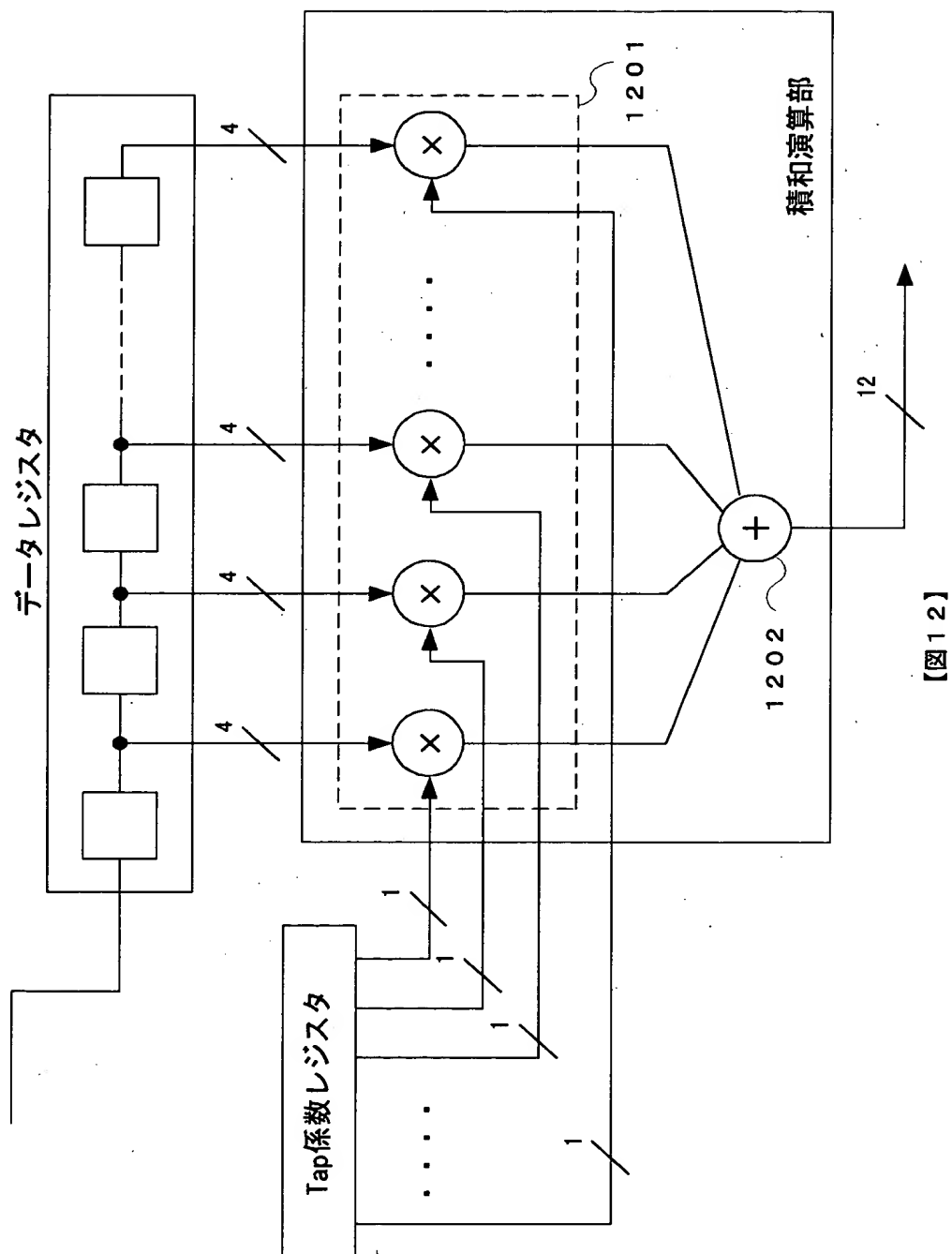
【図 10】

【図11】



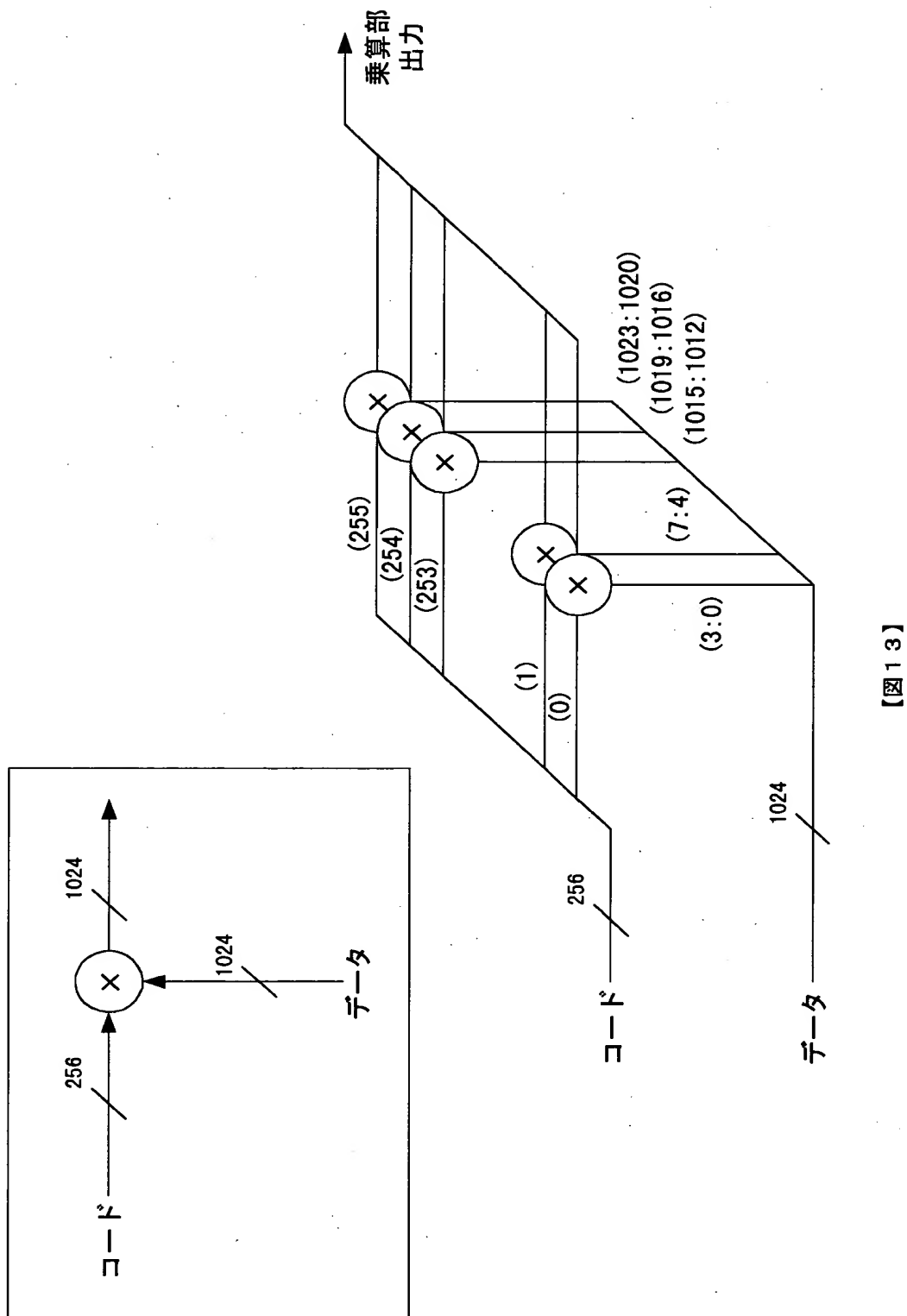
【図11】

【図12】



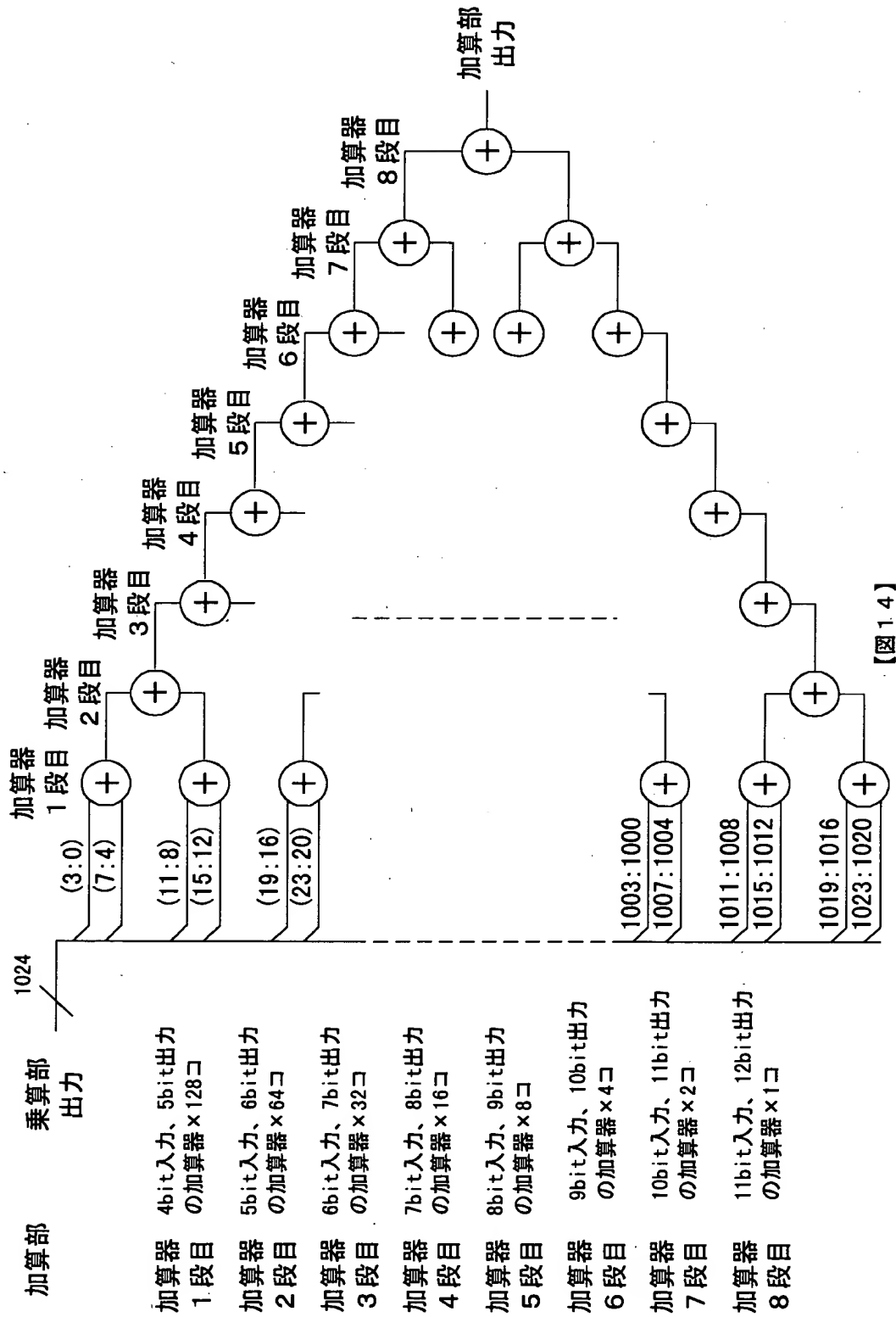
【図12】

【図 13】



【図 13】

【図 14】



【書類名】 要約書

【要約】

【課題】 移動体通信システムの送受信機に用い、回路規模を縮小できるデジタルフィルタを提供する。

【解決手段】 複数の系列からなるデジタルデータを上位及び下位ビットに分割し、デジタルデータの入力速度を系列数倍したものの2倍の速度で時分割でフィルタリング演算を行い、同一のデジタルデータから分割されたデータのフィルタリング出力結果に対して合成処理を行うことで系列別に前記デジタルデータのフィルタリング出力を得るデジタルフィルタとしたことにより、フィルタリング演算部の回路規模を縮小でき、デジタルフィルタの回路規模を縮小することができる。

【選択図】 図1

特 2000-350993

認定・付加情報

特許出願の番号	特願 2000-350993
受付番号	50001486245
書類名	特許願
担当官	第七担当上席 0096
作成日	平成12年11月20日

<認定情報・付加情報>

【提出日】	平成12年11月17日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [000001122]

1. 変更年月日 2000年10月 6日
[変更理由] 名称変更
住 所 東京都中野区東中野三丁目14番20号
氏 名 株式会社日立国際電気

2. 変更年月日 2001年 1月11日
[変更理由] 名称変更
住 所 東京都中野区東中野三丁目14番20号
氏 名 株式会社日立国際電気